

10/663-767 . 10.29.03

DIALOG(R) File 351:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

008939171 **Image available**
WPI Acc No: 1992-066440/199209
XRAM Acc No: C92-030425
XRPX Acc No: N92-049894

Mfr. of patterned semiconductor devices - by dividing desired pattern into portions and conducting sequential exposure

Patent Assignee: CANON KK (CANO)
Inventor: MOMMA G; YUZURIHARA H
Number of Countries: 007 Number of Patents: 007
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 472217	A	19920226	EP 91114197	A	19910823	199209 B
JP 5006849	A	19930114	JP 91199274	A	19910808	199307
<i>con</i> US 5561317	A	19961001	US 91750033	A	19910823	199645
			US 95395183	A	19950227	
			US 95478447	A	19950607	
US 5731131	A	19980324	US 91750033	A	19910823	199819
			US 95395183	A	19950227	
JP 2902506	B2	19990607	JP 91199274	A	19910808	199928
EP 472217	B1	19991103	EP 91114197	A	19910823	199951
DE 69131762	E	19991209	DE 631762	A	19910823	200004
			EP 91114197	A	19910823	

Priority Applications (No Type Date): JP 91199274 A 19910808; JP 90221000 A 19900824; JP 90318071 A 19901126

Cited Patents: 00 29827500; 00 35856700; 62 12562000; 4259724

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
EP 472217	A		33		
Designated States (Regional): DE FR GB IT NL					
DE 69131762	E			H01J-037/302	Based on patent EP 472217
JP 5006849	A		20	H01L-021/027	
US 5561317	A		28	H01L-023/544	Cont of application US 91750033 Div ex application US 95395183
US 5731131	A		30	G03F-009/00	Cont of application US 91750033
JP 2902506	B2		21	H01L-021/027	Previous Publ. patent JP 5006849
EP 472217	B1 E			H01J-037/302	
Designated States (Regional): DE FR GB IT NL					

Abstract (Basic): EP 472217 A

A method is disclosed for mfg. semiconductor devices wherein a desired pattern having an area larger than the field size that can be obtd. in one exposure step, is formed, comprising (a) dividing the desired pattern into several portions; (b) conducting exposure on the divided patterns in a joined fashion.

USE/ADVANTAGE - Allows mfr. of semiconductor devices having large chip size of 50mm or more and/or submicron design rules, which are impossible to mfr. using known techniques of reflection projection exposure or reduction projection exposure. Alignment accuracy of 3 sigma = 0.2 microns or less can be achieved between adjacent IC chip fabrication steps. (33pp Dwg.No.18/34)

Abstract (Equivalent): US 5731131 A

A method is disclosed for mfg. semiconductor devices wherein a desired pattern having an area larger than the field size that can be obtd. in one exposure step, is formed, comprising (a) dividing the desired pattern into several portions; (b) conducting exposure on the

divided patterns in a joined fashion.

USE/ADVANTAGE - Allows mfr. of semiconductor devices having large chip size of 50mm or more and/or submicron design rules, which are impossible to mfr. using known techniques of reflection projection exposure or reduction projection exposure. Alignment accuracy of 3 sigma = 0.2 microns or less can be achieved between adjacent IC chip fabrication steps.

Dwg.0/34

US 5561317 A

A semiconductor device comprising a plurality of elements, the semiconductor device manufactured by a method of manufacturing semiconductor devices in which a desired pattern having a size larger than the field size that can be projected in one exposure process step of a reduction projection type exposure device is formed on a semiconductor substrate by repeating the process of projecting a circuit pattern on the semiconductor substrate using the reduction projection type exposure device while sequentially connecting at a connecting portion the projected patterns with each other, wherein at least part of the connecting portion is disposed in a device separating area at which the plurality of elements of the semiconductor device separated from each other.

(Dwg.15/34

)

Title Terms: MANUFACTURE; PATTERN; SEMICONDUCTOR; DEVICE; DIVIDE; PATTERN; PORTION; CONDUCTING; SEQUENCE; EXPOSE

Derwent Class: L03; P82; P84; U11

International Patent Class (Main): G03F-009/00; H01J-037/302; H01L-021/027; H01L-023/544

International Patent Class (Additional): G03B-041/00; G03F-007/20; H01J-037/30

File Segment: CPI; EPI; EngPI

Manual Codes (CPI/A-N): L04-C06; L04-E

Manual Codes (EPI/S-X): U11-C04E1

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-6849

(43) 公開日 平成5年(1993)1月14日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/027				
G 0 3 F 7/20	5 2 1	7818-2H		
		7352-4M	H 0 1 L 21/30	3 1 1 L
		7352-4M		3 0 1 C
		7352-4M		3 1 1 Z
審査請求 未請求 請求項の数25(全 20 頁)				

(21) 出願番号 特願平3-199274

(22) 出願日 平成3年(1991)8月8日

(31) 優先権主張番号 特願平2-221000

(32) 優先日 平2(1990)8月24日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平2-318071

(32) 優先日 平2(1990)11月26日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 門間 玄三

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72) 発明者 讀原 浩

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

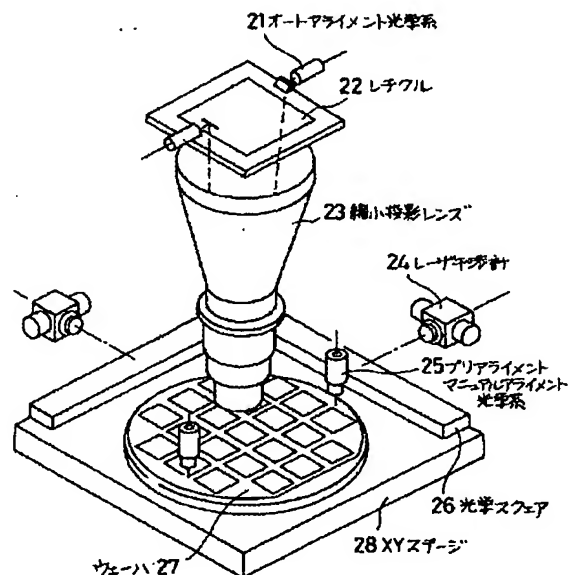
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 露光装置の1回の露光で可能なフィールドサイズ以上の領域の所望パターンを複数に分割し、この分割されたパターンをつなぎ合わせて露光することで前記所望パターンを形成する。

【構成】 縮小投影型露光装置の1回の露光で可能なフィールドサイズ以上の領域の所望パターンを複数に分割し、この分割されたパターンをつなぎ合わせて露光することで前記所望パターンを形成する。好ましくは露光するパターン相互の連結部分を重複露光して二重露光領域を形成する。



1

【特許請求の範囲】

【請求項1】 露光装置の1回の露光で可能なフィールドサイズ以上の領域の所望パターンを複数に分割し、この分割されたパターンをつなぎ合わせて露光することで前記所望パターンを形成する半導体装置の製造方法。

【請求項2】 前記分割されたパターンは隣接する分割されたパターンの一部にオーバーラップ領域を有する請求項1記載の製造方法。

【請求項3】 前記分割は半導体装置の素子分離領域上に対応する請求項1記載の製造方法。

【請求項4】 前記分割は半導体装置の素子非形成領域上に対応する請求項1記載の製造方法。

【請求項5】 前記分割は半導体装置に形成される回路の機能ごとに行なわれる請求項1記載の製造方法。

【請求項6】 前記露光装置は縮小光学系を有する請求項1記載の製造方法。

【請求項7】 前記露光装置は縮小投影型露光装置である請求項6記載の製造方法。

【請求項8】 前記分割されたパターンの少なくとも一つのパターンは連続してつづけてつなぎ合わせて露光される請求項1記載の製造方法。

【請求項9】 前記オーバーラップ領域は半導体装置上で0.1~0.5 μ mである請求項2記載の製造方法。

【請求項10】 前記分割されたパターンは同一のマスクに形成されている請求項1記載の製造方法。

【請求項11】 前記分割されたパターンは夫々別のマスクに形成されている請求項1記載の製造方法。

【請求項12】 前記分割されたパターンの少なくとも2種以上が同一のマスクに形成されている請求項1記載の製造方法。

【請求項13】 縮小投影型露光装置により回路パターンを半導体基板に焼き付ける工程を繰り返すことにより、前記回路パターンを順次つなぎ合わせ、前記縮小投影型露光装置の1回の投影露光で可能なフィールドサイズ以上のパターンを前記半導体基板上に形成する半導体装置の製造方法。

【請求項14】 縮小投影型露光装置を用いて半導体基板に回路パターンを焼き付ける工程を繰り返すと共に、焼き付けた回路パターンを相互に連結することにより、前記縮小投影型露光装置の1回の投影露光で可能なフィールドサイズ以上のパターンを前記半導体基板上に形成する半導体装置の製造方法であって、回路パターン相互の連結部分を重複露光して二重露光領域を形成することを特徴とする半導体装置の製造方法。

【請求項15】 連結部分において形成する残しパターンを二重露光領域のみに幅広に形成する請求項14記載の半導体装置の製造方法。

【請求項16】 二重露光領域の幅広形成部の合計の幅が0.05~0.2 μ mである請求項15記載の半導体装置の製造方法。

2

【請求項17】 二重露光領域幅が0.1~0.5 μ mである請求項14記載の半導体装置の製造方法。

【請求項18】 縮小投影型露光装置を用いて半導体基板上に回路パターンを焼き付ける工程を繰り返すとともに、焼き付けた回路パターンを相互に順次つなぎあわせることにより、前記縮小投影型露光装置の1回の投影露光で可能なフィールドサイズ以上のパターンを前記半導体基板上に形成する半導体装置の製造方法を用いて、つなぎあわせる部分の少なくとも一部が前記半導体装置における素子分離領域に配設されていることを特徴とする半導体装置。

【請求項19】 つなぎあわせる部分の少なくとも一部が光電変換素子の素子分離領域であることを特徴とする請求項18記載の半導体装置。

【請求項20】 つなぎあわせる部分の少なくとも一部にバイポーラトランジスタのコレクタ領域を含むことを特徴とする請求項18記載の半導体装置。

【請求項21】 つなぎあわせる部分の少なくとも一部が光電変換素子の素子分離領域であり、かつ、前記素子分離領域がバイポーラトランジスタのコレクタ領域であることを特徴とする請求項19記載の半導体装置。

【請求項22】 縮小投影型露光装置を用いて半導体基板上に回路パターンを焼き付ける工程を繰り返すとともに、焼き付けた回路パターンを相互に順次つなぎあわせることにより、前記縮小投影型露光装置の1回の投影露光で可能なフィールドサイズ以上のパターンを前記半導体基板上に形成する半導体装置の製造方法であって、前記半導体装置において、つなぎあわせる部分の少なくとも一部が、素子分離領域に存在することを特徴とする半導体装置の製造方法。

【請求項23】 縮小投影型露光装置を用いて半導体基板に回路パターンを焼き付ける工程を繰り返すと共に、焼き付けた回路パターンを相互に順次連結することにより、前記縮小投影型露光装置の1回の投影露光で可能なフィールドサイズ以上のパターンを前記半導体基板上に形成する半導体装置の製造方法であって、複数回行う焼き付け工程のうち、少なくとも1回以上の焼き付け工程を反射型投影露光装置あるいは近接露光及び密着露光装置を用いて行うことを特徴とする半導体装置の製造方法。

【請求項24】 ファーストレイヤーを形成するための焼き付け工程において、縮小投影露光装置を用いることを特徴とする請求項23記載の半導体装置の製造方法。

【請求項25】 半導体基板上に、後の行程においてアライメントに用いるためのアライメントマークを焼き付ける工程のうち、少なくとも1回以上の焼き付け工程において、縮小投影露光装置を用いることを特徴とする請求項23記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置の製造方法に関し、更に詳述すれば縮小投影露光装置の1回の投影露光で可能なフィールドサイズ以上の回路パターンを半導体基板上に形成した半導体装置の製造方法に関する。

【0002】

【従来の技術】従来の半導体装置の製造方法は、半導体基板上にチップサイズの大きな半導体装置を形成する場合、露光領域の大きな等倍露光、例えば、反射型投影露光装置を使用し、縮小投影露光装置を使用しなかった。

【0003】また、従来の半導体装置が有する主要な機能は、マイコン機能のみ、あるいはメモリー機能のみというように、ICチップに対して通常1つである。

【0004】これは、複数の機能を有するものを形成しようとした場合、各機能とも充分な能力を持たせようとするとそのチップサイズが巨大化してしまうためである。複数の機能を有するパターンを形成しようとした場合、縮小投影露光装置を使用して、1回で焼き付けられる領域よりもずっと大きな露光領域が必要となってしまう。このため、1回の露光領域内に複数の充分な能力の機能を有する回路パターンを形成することは事実上不可能であった。また、チップサイズの大型化、パターンサイズの微細化が進んでいくにつれて、反射投影型露光装置を使用しようとする場合には種々の不都合な点が発生した。

【0005】反射型投影露光装置の一例を説明するための第1図を参照しつつ以下にその理由を説明する。反射型投影露光装置は、凹面鏡11と凸面鏡12とを組合せ、円弧スリット状照明光束13を用いて、焼き付ける光学系を有しており、図中矢印Aの方向にマスク14と、ウェハ15とを等速度で移動することにより、マスク14のパターンをウェハ15全面に、1:1の倍率で転写する。したがって、チップサイズの大きな半導体製造装置を形成しようとした場合、チップサイズと同じ大きさのパターンを有するマスクを用いることでウェハ15へのマスクのパターンの転写が可能となる。反射型投影露光装置の限界解像度は、約2 μ m程度であり、たとえば0.5~1.0 μ mルールでパターンを形成し、微細化により一尺の集積度を上げるのは困難である。また、アライメントマーク精度は、ウェハ上の左右2点に形成したアライメントマークでアライメントするため、3 σ ≒1.5 μ m程度であり、この種の反射型投影露光装置を用いるかぎりサブミクロンルールに対応する微細化は事実上不可能である。つまり、反射型投影露光装置を用いた場合、マスクサイズと同じ大きさのチップサイズのICが形成されるが、解像度とアライメント精度の2点において近年の更なる微細化の要求には応えられない。

【0006】また、この露光装置を用いた場合、ハードウェアのディストーションにより、そのパターンの直交度が悪くなることや、工程間のオートアライメント精度

が、3 σ ≒1.5 μ m程度であり、サブミクロンルールには対応できない等の問題がある。

【0007】

【発明が解決しようとする課題】上述した従来の半導体装置の製造方法は、チップサイズの大きな半導体装置を製造するために反射投影型露光装置を用いた場合、下記のような問題点がある。

(1) 限界解像度が、2.5~3 μ m程度であり、たとえば0.5~1.0 μ mルールで作成されたパターンを形成し、微細化により集積度を上げることは不可能である。

【0008】(2) 反射投影型露光装置を用いた場合、ハードウェアのディストーションにより、そのパターンの直交度が悪くなる。

【0009】(3) 工程間のオートアライメント精度が、3 σ ≒1.5 μ m程度でありサブミクロンルールには対応できない。

【0010】このように障害となっている限界解像度やアライメント精度を向上させるためには、縮小投影露光装置を用いる方法がある。縮小投影露光装置の一例を説明するための模式的構成図である第2図に示されるように、縮小投影露光装置ではレクチル22に形成されたパターンを、縮小投影レンズ23により、そのレンズのもつ倍率で縮小し、ウェハ27上に1ショット毎、XYステージ28をステップアンドリピートして焼き付けていく。このため、限界解像度を1.0 μ m以下とすることができ、アライメント精度においても、1ショット毎にアライメントするために、3 σ ≦0.2 μ m程度におさえられる。

【0011】そこで、縮小投影露光装置を用いて、チップサイズの大きな半導体装置を形成する場合、そのレンズの倍率として5:1、10:1のように大きいものではなく、その倍率が2.5:1等のものを使用することが考えられるが、この場合でもその露光領域(フィールドサイズ)は、現実には ϕ 40mm程度である。

【0012】これは、マスクサイズは大きくすることは可能であっても、それを歪なく、かつ、露光ムラなく大面積に露光できるような露光装置の光学系が事実上得られていないためである。

【0013】このようにチップサイズの一辺が50mmを超す、チップサイズの大きな、しかも微細化された半導体装置は、従来の方法を単に利用するだけでは、製造できないのが実情である。

【0014】本発明は上記事項に鑑みなされたもので、その目的とするところは上記方法では製造することのできなかった大型の半導体装置の製造方法を提供することにある。

【0015】さらに、本発明の目的は、露光装置の1回の露光で可能なフィールドサイズ以上の領域の所望パターンを複数に分割し、この分割されたパターンをつなぎ

合わせて露光することで前記所望パターンを形成する半導体装置の製造方法を提供することである。

【0016】および、本発明の目的は、縮小投影型露光装置により回路パターンを半導体基板上に焼き付ける工程を繰り返すことにより、前記回路パターンを順次つなぎ合わせ、前記縮小投影型露光装置の1回の投影露光で可能なフィールドサイズ以上のパターンを前記半導体基板上に形成する半導体装置の製造方法を提供することである。

【0017】

【課題を解決するための手段】本発明の半導体装置の製造方法は、縮小投影型露光装置を用いて半導体基板上に回路パターンを焼き付ける工程を繰り返すと共に、焼き付けた回路パターンを相互に順次連結することにより、前記縮小投影型露光装置の1回の投影露光で可能なフィールドサイズ以上のパターンを前記半導体基板上に形成する半導体装置の製造方法であって、回路パターン相互の連結部分を重複露光して二重露光領域を形成する。

【0018】また、縮小投影型露光装置を用いて半導体基板上に回路パターンを焼き付ける工程を繰り返すと共に、焼き付けた回路パターンを相互に順次つなぎ合わせることにより、前記縮小投影型露光装置の1回の投影露光で可能なフィールドサイズ以上のパターンを前記半導体基板上に形成する半導体装置の製造方法であって、前記半導体装置において、つなぎ合わされる部分の少なくとも一部が、素子領域に存在する。

【0019】さらに、縮小投影型露光装置を用いて半導体基板上に回路パターンを焼き付ける工程を繰り返すと共に、焼き付けた回路パターンを相互に順次連結することにより、前記縮小投影型露光装置の1回の投影露光で可能なフィールドサイズ以上のパターンを前記半導体基板上に形成する半導体装置の製造方法であって、複数回行う焼き付け工程のうち少なくとも1回以上の焼き付け工程を反射型投影露光装置あるいは近接露光および密着露光装置を用いて行う。

【0020】また、本発明の半導体装置は、縮小投影型露光装置を用いて半導体基板上に回路パターンを焼き付ける工程を繰り返すと共に、焼き付けた回路パターンを相互に順次つなぎ合わせるることにより、前記縮小投影型露光装置の1回の投影露光で可能なフィールドサイズ以上のパターンを前記半導体基板上に形成する半導体装置の製造方法を用いて、つなぎ合わせる部分の少なくとも一部が前記半導体装置における素子分離領域に配設されている。

【0021】上述したように本発明は所望パターンを形成するにあたって、パターンを複数の領域に分割したパターンを用い、複数回露光を行うことで、最終的に所望パターンを分割パターンのつなぎ合わせによって形成する。

【0022】従って、パターン形成時の有効領域よりも

広い領域のパターン形成が可能になるばかりでなく、縮小投影露光することによってより微細なパターン形成することができる。

【0023】又、分割パターンのパターンニングを工夫すれば、同一の分割パターンの繰り返し露光で自由な大きさのパターンニングが少ないマスク数あるいは分割パターン数で可能になる。

【0024】更に、分割する部分を素子分離領域や素子非形成領域にすることで、万一分割パターンのパターンずれが生じた場合でも形成される素子特性に影響を与えることがなくなり、歩留りも向上する。

【0025】加えて、分割パターンを少しずつオーバーラップさせることで、露光時のわずかな位置ズレを補償することができる。

【0026】パターンを機能ごとに分割しても良く、この場合は、各機能ごとの仕様変更に対応できるという利点もある。また、パターンを機能ごとに分割することで、各分割したパターン間に素子が形成されるのを容易に避けることが可能になる。

【0027】もちろん、パターンの分割は必要な工程において行なわれれば良く、充分なパターンニング精度が、充分なパターンニング領域の大きさで得ることができれば、全工程をパターン分割しなくとも良い。

【0028】

【実施例】以下、本発明の実施例について図面を参照して説明する。

【0029】【実施例1】図3は、本発明の半導体の製造方法の好適な1つの実施例を説明するための半導体基板上のファーストレイヤーの模式的パターン図、図4は図3のファーストレイヤーを形成するために5:1縮小投影型露光装置に用いられる第1のレクチル105の一例を説明するための模式的パターン図、図5は実施例1のセカンドレイヤーを形成するための第2のレクチル106の一例を説明するための模式的パターン図である。

【0030】第1のレクチル105内には、パターンA、B、Cが3分割されて設けられており、それぞれのパターン中にはICパターンが形成されている。本実施例では、パターンA、B、Cをたてに並べ、つなぎ合わせ、つなぎ合わせたパターンA、B、Cで1チップを構成する例を示す。

【0031】図4に示す第1のレクチル105を、通常用いられる倍率5:1の縮小投影型露光装置にセットし、その装置に付随するシステムにより、半導体基板101（以降ウェハ101と記す）に、図3に示されるつなぎ合わされたパターンが焼き付けられるように、ウェハ101上のファーストレイヤーのレイアウトをプログラムする。実際に露光されたときのパターンA、B、Cのつなぎ合わせ精度は、横方向、縦方向ともに、0.1μm以下におさえられている。この精度は、縮小投影型露光装置のレーザー干渉を用いて位置決めをする

7

ことにより得ることができる。この露光のとき、パターンA、BまたはB、Cをつなぎ合わせ部において、それぞれ重ねしろを0.1~0.5 μ m程度作っておくことが望ましい。これは、縮小投影型露光装置のステップサイズを変えることにより、容易に可能となる。

【0032】また、図4に示されるアライメントマーク103は、ダイバイダイ方式のアライメントマークであり、図3に示されるように、露光された後、半導体基板上では、つなぎ合わされた各パターンA、B、Cの両側に形成され、セカンドレイヤーに対するアライメントマーク（親マーク）102となる。また、ファーストレイヤーを焼き付ける際、第1のレチクル105は、縮小投影型露光装置のマスキングブレードの位置を、各ショット（パターンA、B、C）ごとにかえることにより、パターンAの部分を焼き付けるときにはパターンB、Cの部分は、このブレードによりかくし、光が透過しないようにしている。パターンB、Cをそれぞれ焼き付けるときも同様である。

【0033】パターンA、B、Cが形成された後、そのパターンによってエッチング、不純物拡散、CVD（Chemical Vapor Deposition）膜等の堆積等の通常の半導体製造プロセスを施した後、セカンドレイヤーにおけるパターンを形成する。

【0034】次にセカンドレイヤーでは、図5に示される第2のレチクル106を使用し、ファーストレイヤーで形成された親マークであるアライメントマーク102を子マークであるアライメントマーク104に合わせるようにアライメントされる。つまり、パターンA'は、パターンAに重なり、パターンB'はパターンBに重なるようにアライメントされる。パターンA'、B'、C'が露光されるときは、ファーストレイヤーと同様、マスキングブレードの位置を変えることにより行なわれる。

【0035】以上示したようなパターンニング操作を必要に応じて繰り返し、さらに、パターンニング後の不純物の導入や配線形成を行なうことでICが形成された。これにより、3.5mm×60mmのチップサイズをもつICが、0.8 μ mルールで形成可能となった。

【0036】【実施例2】図6は本発明の好適な別の実施例を説明するための半導体基板101上のファーストレイヤーの模式的パターン図である。

【0037】本実施例は、実施例1において3種類のパターンをつなげたものの中間に位置するパターンBをパターンB1、B2として繰り返しつなげるように設計したものであり、実施例1よりも更にチップサイズを長くすることができた。このとき、中間のパターンB1、B2は任意の数だけつなげることができるので、種々の長さの半導体装置を製造することができた。

【0038】また、本発明の実施例では、パターンA、B、Cの3種類のパターンをつなぎ合わせて1チップと

8

したが、2種類あるいは4種類以上のパターンをつなぎ合わせても問題はない。

【0039】また、一工程で用いるレチクルは1枚に限らず、2種類以上のレチクルを入れ換えてつなぎ合わせることも可能である。

【0040】【実施例3】図7は本発明の好適な別の実施例を説明するための半導体基板上のファーストレイヤーの模式的パターン図、図8は図7の実施例のファーストレイヤーを形成するために5:1縮小投影型露光装置に用いられる第1のレチクル105を説明するための模式的パターン図、図9は図7の実施例のセカンドレイヤーを形成するための第2のレチクル106を説明するための模式的なパターン図である。

【0041】本実施例は実施例1と同様に、図8に示す第1のレチクル105を露光装置にセットし、露光装置に付随するシステムにより、半導体基板であるウェハー101に、図7に示すつなぎあわされたパターンが焼き付けられるように、ウェハー101上のファーストレイヤーのレイアウトをプログラムする。この場合においても、パターンA、B間およびパターンB、C間のつなぎ合わせ精度は、横方向、縦方向ともに、0.1 μ m以下に押えられている。また、図8に示されるアライメントマーク103は、ダイバイダイ方式のアライメントマークであり、図7に示されるように各パターンA、B、CのうちパターンBの両側のみに形成され、セカンドレイヤーに対するアライメントマーク102（親マーク）となる。

【0042】ここで、ファーストレイヤーを焼き付ける場合においても、縮小投影型露光装置のマスキングブレードの位置を各ショットごとにかえることにより、露光されて行く。本実施例の場合、パターンBのみが半導体基板の周辺に4つ独立して形成されている。また、図8、図9における第1、第2のレチクル105、106のパターンBに対するパターンA、Cの相対位置は予めわかっている。

【0043】次に、セカンドレイヤー形成に際しては、図9に示す第2のレチクル106を使用し、ファーストレイヤーで形成された親マークであるアライメントマーク102を子マークであるアライメントマーク104に合わせる。しかし、ここで、前述の実施例1、2と相違する点は、以下に有る。

【0044】（1）前述のようにファーストレイヤーを形成後にセカンドレイヤーを形成するために、アライメントマーク102をアライメントマーク104に合わせる際、図7に示す8個のパターンBのみで、レーザースキャンを行ない、パターンBにおける相互のずれ量を8チップ分計測する。

【0045】（2）前記計測値を演算処理し、パターンBにおいて、アライメントマーク102が、アライメントマーク104に対してそれぞれX、Y、 θ 方向でどれ

だけずれているか、ずれ量を算出する。

【0046】(3) 8個のパターンBのずれ量を平均化する。

【0047】(4) 平均化されたずれ分のみを露光時ずらしてパターンA'、B'、C'の焼き付けを行なう。このときは縮小投影型露光装置のXYステージのステージ精度だけで焼き付けることになる。

【0048】これによりパターンA'は、パターンAに重なり、パターンB'はパターンBに重なるように焼き付けられる。パターンA' B' C'が露光されるときには、ファーストレイヤーと同様、マスキングブレードの位置を変えることにより行なわれた。

【0049】このアライメント方式を採用することにより、パターンA'とB'、B'とC'の間のつなぎ精度が実施例1、2のものより、よりよくなった。実施例1、2のつなぎ精度は $3\sigma=0.25\mu\text{m}$ 、実施例3のつなぎ精度は $3\sigma=0.20\mu\text{m}$ であった。

【0050】【実施例4】図10は本発明の実施例を説明するためのウェハ上でのファーストレイヤーの模式的パターン図である。

【0051】本実施例は、実施例3と同様、第1のレチクルをセットし、図10に示すつなぎ合わされたパターンが焼き付けられるように、ウェハ101上のファーストレイヤーのレイアウトをプログラムする。本実施例の場合、実施例3のものとのちがいは、実施例3に示したようにウェハ周辺に独立したアライメントマーク専用のパターンを形成することなく、通常形成されるパターン（本実施例ではパターンB）そのものをアライメントに使用することにある。本実施例の場合も、A'とB'、B'とC'のつなぎ精度は、 $3\sigma=0.20\mu\text{m}$ におさえることが可能であった。

【0052】尚、上述した実施例3、4においても、パターンA、B、Cの3種類のパターンをつなぎ合わせて1チップとしたが、つなぎ合わせるパターンは2種類あるいは4種類以上のパターンをつなぎ合わせても問題はない。

【0053】また、一工程で用いるレチクルは1枚に限らず、2種類以上のレチクルを入れ換えてつなぎ合わせることも可能である。

【0054】次に、上述した重ねしろについて説明する。

【0055】本発明では、各焼き付けパターン間に重ねしろを設けずに焼き付けを行なうことも可能であるが、精度や歩留りの向上のために、重ねしろを設けることは望ましいことである。

【0056】図11は本発明に好適に用いられ得る重ねしろを有する実施例を説明するための模式的パターン図である。この図においては、基板上でつなぎ合わせたパターンA、B、C間にパターンA、B、Cが相互に重なり合った連結部分230が形成されている。図12は

(a)及び図12(b)は上記連結部分230を形成するためのレチクルを説明するための模式的パターン図で、ガラス板231上に形成されたクロム232のパターンの端部側の残しパターン233は幅広に形成した幅広形成部234を有する。レチクルA(図12(a))の端部側の残しパターン233はレチクルB(同図(b))の端部側残しパターン233'と重複するように露光される。この状態を図12(c)の模式的パターン図に示した。

【0057】本実施例においては、5:1縮小投影型露光装置を用いて露光を行なっているため、レチクルのパターンと基板のパターンとは長さが5:1になっている。従って、レチクル上における残しパターン233の長さ $5l_1$ 、及び幅 $5W_1$ は基板上ではそれぞれ長さ l 、幅 W_1 に対応する。なお、幅広形成部234の幅 $5W$ は、形成されるクロムの幅を W_0 とすれば図12(a)に示すように $5W=5W_1-5W_0$ になる。

【0058】一方、露光量と線幅の間には図7の関係がある。連結部分230は重複露光されるため、この二重露光領域は線幅が他の部分よりも図13に示すように ΔCD だけ細くなる。これを補正するために、残しパターン部233、233'を予め幅広に形成して補正するものであり、 l と w は以下のようにして算出した。即ち、使用した露光装置におけるY方向のつなぎ精度を

【0059】

【数1】

$$\bar{X}+3\sigma$$

露光量 E_1 のときの線幅 CD_{1x} と露光量 $2E_1$ のときの線幅 CD_{2x} の差を

$$\Delta CD=CD_{1x}-CD_{2x}$$

とすると

【0060】

【数2】

$$l \geq 1/2 (\bar{X} + 3\sigma)$$

$$w = 1/2 \Delta CD$$

である。本実施例においてはつなぎ精度の測定より

【0061】

【数3】

$$\bar{X}=0.09\mu\text{m}$$

$$3\sigma=0.23\mu\text{m}$$

が得られ、露光量 $68\text{mJ}/\text{cm}^2$ において

$$\Delta CD=0.20\mu\text{m}$$

が求められたことより、 $l=0.16\mu\text{m}$ 、 $w=0.10\mu\text{m}$ を得た。レチクル作製時のアドレスサイズが $0.25\mu\text{m}$ であることから l は 0.05 単位であることが望ましいため、

$$l=0.20\mu\text{m} \quad w=0.10\mu\text{m}$$

を設定し、レチクルを製作した。

【0062】上記レチクルセットを用いて重ね露光を行なったところ、3.1mm×5.4mmのチップサイズをもつICが0.7μmルールで形成可能となった。

【0063】なお、連結部分230を設ける理由は、パターン間につながり合わせの不一致が生じた場合に、パターンの線切れまたは分離不能が生じるが、これを防ぐためのものである。

【0064】上記実施例においては、 $l=0.2\mu\text{m}$ 、 $w=0.1\mu\text{m}$ となるようにしたが、これに限られず一般に $l=0.1\sim 0.5\mu\text{m}$ 、 $w=0.05\sim 0.2\mu\text{m}$ とすることが好ましく、更に本発明においては回路パターンを一次元的に連結した例を説明したが、パターンは二次元的に連結しても良く、その他本発明の要旨を変更しない範囲で種々変形しても差し支えない。

【0065】【実施例5】図14は、光電変換装置における光電変換セルの一例の模式的平面図である。図15は、図14のB-B'線断面図である。

【0066】図14の光電変換セルを用いた光電変換装置の規模が、ステッパのフィールドサイズ以上の大きさを必要とする場合、光電変換装置の一部を分割して前実施例で説明したつなぎ合わせ露光により製造することが可能である。

【0067】図15において、半導体基板401上に光電変換セルが形成され配列されている。

【0068】各光電変換セルは次のような構成を有する。

【0069】基板401上に、エピタキシャル成長によりコレクタ領域となる n^- 領域402が形成され、そこにpベース領域403、更に n^+ エミッタ領域404が形成されてバイポーラトランジスタを構成している。pベース領域403は2次元状に配列され、各水平方向のセルは垂直方向のセルと素子分離領域によって分離されている。

【0070】尚、本図には記載していないが、図16に記載してあるように、MOSFET、キャパシタンスが同一半導体基板上に配置されている。

【0071】また、隣接するpベース領域403の間には、酸化膜407を挟んでゲート電極408が形成されている（図示せず）。したがって、隣接するpベース領域403を各々ソース・ドレイン領域としてpチャネルMOSトランジスタQcが構成されている。このpチャネルMOSトランジスタQcはノーマリオフ型であり、ゲート電極408の電位が隣接電位または正電位であればOFF状態である。したがって、隣接セル間のpベース領域403は電気的に分離された状態となる。逆にゲート電極408の電位がしきい値電位 V_{th} を超える負電位であると、ON状態となり、各セルのpベース領域403は相互に導通した状態となる。

【0072】ゲート電極408は水平方向の行ごとに駆動ラインに共通接続され、さらにpベース領域403の

電位を制御するためのキャパシタ電極409も同様に駆動ラインに接続されている。駆動ラインは素子分離領域である酸化膜上を水平方向に延びている。

【0073】さらに透明絶縁層411を形成した後、エミッタ電極412を形成し、エミッタ電極412は列ごとに垂直ライン413に接続されている。また、コレクタ電極414が基板401の裏面にオーミックコンタクト層を挟んで形成されている。

【0074】図16(A)は、上記光電変換セルの等価回路図、図16(B)は、その動作を説明するための電圧波形図である。まず、pベース領域403には、蓄積動作によって入射光量に対応したキャリア（ここではホール）が蓄積されているとする。また、pチャネルMOSトランジスタQcの端子には負電圧 V_c 、コレクタ電極414には正電圧が各々印加されているとする。この状態で駆動ライン410に正電圧のパルス ϕ_d を印加する（期間 T_{rd} ）。これによって、キャパシタCoxを介してpベース領域403の電位が上昇し、蓄積キャリアに対応した信号がエミッタ側に読み出される。（読み出し動作）。続いて、駆動ライン410に負電圧のパルス ϕ_d を印加する（期間 T_{rh} ）。これによってMOSトランジスタQcはONとなり、pベース領域403が相互に導通した状態となってベース電位は電圧 V_c にリセットされる（リフレッシュ動作）。また、パルス ϕ_r をハイレベルとしてトランジスタQrをONとし垂直ライン413のリセットを行なう。以上のリフレッシュ動作が終了すると、蓄積動作が開始され、以下同様の動作が繰り返される。

【0075】要するに、ここで提案されている方式は、光入射により発生したキャリアを、pベース領域403に蓄積し、その蓄積電荷量によってエミッタ電極408とコレクタ電極414との間に流れる電流をコントロールするものである。したがって、蓄積されたキャリアを各セルの増幅機能により増幅してから読み出すわけであり、高出力、高感度、さらに低雑音を達成できる。

【0076】また、光励起によってベースに蓄積されたキャリア（ここではホール）によりベースに発生する電位 V_p は、 Q/C で与えられる。ここでQはベースに蓄積されたホールの電荷量、Cはベースに接続されている容量である。

【0077】この式により明白なように、高集積化された場合、セルサイズの縮小と共にQもCも小さくなることになり、光励起により発生する電位 V_p は、ほぼ一定に保たれることがわかる。したがって、ここで提案されている方式は、将来の高解像度化に対しても有利なものであるといえる。

【0078】図17は図14に記載の光電変換セルを用いた光電変換装置の回路図である。本実施例ではA-A'線を連結して光電変換セルをつなぎあわせ縮小投影型露光装置のもつフィールドサイズ以上の大きさの光電

変換装置を製造した。

【0079】つなぎ部分をトランジスタの能動領域に設定した場合、本実施例のような光電変換装置の場合には、つなぎ部分における光出力が大きくばらつき、固定パターンノイズ(FPN)の増加となつて、光電変換装置の特性は大幅に劣ってしまう場合がある。また、光電変換装置でない場合にも半導体装置の特性を悪化させてしまう可能性がある。

【0080】本実施例では、つなぎ部分を素子分離領域に設定することにより、つなぎあわせにより多少のショットずれが生じても光電変換装置の特性に影響を及ぼさないように、光電変換装置を設計、製造した。以下、本実施例による半導体装置の製造方法を図18により説明する。

【0081】まず、P型半導体基板にN型層、及び、P型層を形成した。この後、エピタキシャル成長によりN型層を形成し、パイポーラトランジスタのコレクタ領域とした。MOSFETのウエル領域を形成した後、光電変換セルのパイポーラトランジスタを分離するためのN型領域を形成した。この時、N型層はP+イオンを $5 \times 10^{18} / \text{cm}^2$ 打ち込んだ後、1150℃、300分の熱処理により形成した。本実施例では、このn型領域を連結部分と設定した。パターン上では、図14のC-C'線が連結部分となる。これから、半導体素子のベース403、エミッタ404領域は連結部分には当たらず、半導体素子の連結部分での特性ばらつきは防ぐことが可能である。

【0082】ベース403、エミッタ404領域が連結部分に存在する場合、つなぎずれにより、ベース、エミッタの面積が他の画素に対し、大きく変化する可能性がある。この場合、連結部分の光応答出力が他の部分に比べ変動し、固定パターンノイズ(FPN)となる。続いて、MOSFETの素子分離として、LOCOS法によりフィールド酸化を行なった。次に、パイポーラトランジスタのベース領域を形成し、次いで、MOSFETのゲート酸化膜、ゲート電極を形成した。さらに、MOSFETのソース、ドレイン、パイポーラトランジスタのエミッタ領域を形成した後、配線を施し、光電変換装置を形成した。

【0083】上記実施例により形成した光電変換装置は、3.1mmX5.4mmのチップサイズであり、設計ルールは0.8μmルールで形成可能となった。また、連結部分における光応答出力のばらつき(FPN)は、連結部分以外のばらつきと同等であった。上記実施例においては、パイポーラトランジスタのコレクタ領域中に連結部分を配設したが、パイポーラトランジスタのアイソレーション領域と呼ばれるP型領域中に配設しても構わず、更に、光電変換装置以外の半導体装置に応用するなど、その他本発明の要旨を変更しない範囲で種々変形しても差し支えない。

【0084】[実施例6] 図19は本発明をダイナミックランダムアクセスメモリ(以下、DRAM)に応用した実施例6を示す図である。DRAMは一般的に図20の様な構成になっており、半導体装置の集積度を向上させる場合、DRAMメモリセルの部分の面積が大きくなる。本実施例ではメモリセルの素子分離領域において前述のつなぎ露光を行なうことにより大容量のDRAMを製造することが可能となった。

【0085】図19は本発明の実施例6におけるメモリセルの平面図であり、A-A'線の部分につなぎ露光の連結部分を設定した。図19のC-C'線の断面図を模式的に記述したものが図21である。本図のDの部分メモリセルの素子分離領域である。以下、本発明の実施例6による半導体装置の製造方法を図22を用いて説明する。

【0086】先ず、N型半導体基板501にP型領域502を形成した。この後、基板501上にシリコン酸化膜を形成し、LPCVDを用いてSi₃N₄膜を形成した。レジストパターンニングによりSi₃N₄膜を選択除去する部分が素子分離領域となり、本実施例においてパターンをつなぎ合わせる部分である。この部分は図19におけるA-A'線で示してある。パターンニングの後、1000℃150分の熱処理により、500nmのシリコン酸化膜511を形成した。

【0087】次に、Si₃N₄膜を除去し、ゲート酸化512を行なった。ポリシリコンを堆積し、ゲート電極513を形成した。MOSトランジスタのソース、ドレイン領域518を形成した後、容量素子の下部電極521をポリシリコンにより形成し、シリコン酸化膜からなる誘電体部分522を形成し、容量素子の上部電極523をポリシリコンにより形成した。

【0088】次に、ビット線となるA1配線531を施し、本発明の実施例5によるDRAMを形成した。上記実施例により形成した半導体装置は3.2mmX1.8mmのチップサイズであり、設計ルールは0.8μmルールで形成可能となった。また、連結部分における容量素子の不具合はなかった。

【0089】[実施例7] 次に、本発明の実施例7について、詳しく説明する。図23は、本発明の半導体の製造方法のファーストレイヤーを形成するためのレチクルを説明するための模式的パターン図であり、図24は実施例7を示すファーストレイヤーの模式的パターン図である。図23のレチクルは、パターンAとパターンBを2分割して有しており、そのパターンの有する機能は、Aがメモリー機能を有するパターンが形成される部位であり、BがA/θコンバーター機能を有するパターンが形成される部位である。

【0090】本実施例では、図23に示すレチクルを用い、パターンA、Bを縦方向に長くA-B-Aとつなぎ合わせ、つなぎ合わせたパターンA-B-Aで、メモリ

一+A/Dコンバーター機能を有するパターンを形成し、A-B-Aの構成で、1チップ実施例では、図23に示すレチクルを用い、パターンA、Bを縦方向に長くA-B-Aとつなぎあわせ、つなぎあわせたパターンA-B-Aで、メモリー+A/Dコンバーター機能を有するパターンを形成し、A-B-Aの構成で、1チップとして使用可能にした例である。以下にその製造方法の詳細を説明する。図23に示すレチクルを通常用いられる倍率5:1の縮小投影型露光装置にセットし、その装置に付随するシステムにより、半導体基板611(以降ウェハ601と記す)に、図24に示すA-B-Aのつなぎあわされたパターンが焼き付けられるようにウェハ601上のファーストレイヤーのレイアウトをプログラムする。実際につなぎあわされた時のパターンA、Bのつなぎ合せ精度は、0.1 μ m程度におさえられた。これは、縮小投影型露光装置のレーザー干渉計によるものである。但し、本パターン形成においては、パターンA、Bが独立な機能を有しているため、パターンAとBの信号のやりとりを行なう電極配線形成以外の工程においては、パターンAとパターンBがつなぎ合わされることはない。

【0091】図23に示す604、604'、604"は、夫々アライメントマークであり、本アライメントマークは、図24に示すように、パターンの上部、左部、右部に形成され、ファーストレイヤーのA-B-Aのパターンの上部Aの外側に配置される。また、ファーストレイヤーを焼き付ける際、図23のレチクルは、縮小投影露光装置のマスキングブレードの位置を各ショット(パターンA、B)ごとにかえることにより、パターンAの部分に露光するときには、パターンBの部分は、上記マスキングブレードによりかくし、光が透過しないようにしている。パターンBを露光する時も、同様である。

【0092】パターンA-B-Aが形成された後、そのパターンをエッチング及び不純物拡散、CVD(Chemical Vapor deposition)膜等を堆積した後、セカンドレイヤーにおけるパターンを形成する。セカンドレイヤー形成時には、図25に示すレチクルを使用し、ファーストレイヤーで形成された、アライメントマーク604、604'、604"の位置と、図25のレチクルアライメントマークによって読み取られた位置との相対位置関係から、レチクルとウェハのアライメントを行ない、図25におけるA'が図1におけるAに重なるように焼きつけられ、図25におけるB'は図1におけるBに重なるように露光した。ここで、明記すべきは、パターンAおよびパターンBは、基本的に独立なパターンであり、A-B-Aのパターンをつなぎあわせることは、配線形成等以外では、最小限になるように形成した。また、プロセスは、Aにおけるメモリー、BにおけるA/Dインバーターは、両者とも基本的には、C-MOSプロセスの改良型を使用し、形成

した。また、A-B-Aで、1チップとして形成された1チップ内の一番下部にあるAは、実際には一番上にあるAのレチクルの位置を180度回転させて、露光を行っている。したがって、形成されたA-B-Aのパターンは、パターンBの中心に対して、上、下にあるAは、対称となるように形成した。A1配線等で形成されたパターンがA-B-Aでどのようにつなぎあわされるかを示したのが図26である。図26に示すように、A1配線パターンを例にとると、パターンBの上、下において、パターンAとつなぎあわされる。また、パターンAとパターンBのつなぎしろは、0~0.05 μ m程度に設定した。また、Bの下側に形成されるパターンAを焼きつけるとき、縮小投影露光装置内で、レチクルを180度回転させる機構を有する半導体縮小投影露光装置を使用した。また、本機構が付いていない露光装置を使用する時には、マニュアル動作でレチクルを180度回転させた。また、セカンドレイヤー形成時にも、A'、B'の露光時には、ファーストレイヤーと同様、マスキングブレードの位置を変えることにより、行なわれる。

【0093】以上示したように、パターンニングをくり返し、さらにパターンニング後の不純物導入、および配線形成を行なうことで、2つの独立の機能を有するICを形成した。これにより、20mm(X方向)×30mm(Y方向)のチップサイズを有し、かつ、メモリー機能とA/Dコンバータ機能という独立の機能を有するICが、0.8 μ mルールで形成可能となった。

【実施例8】次に、実施例8について、図27、図28を用いて説明する。図27は、本発明の実施例8における半導体製造方法のファーストレイヤーを形成するためのレチクルを説明するための模式的パターン図であり、図28は、実施例7を示す、ファーストレイヤーの模式的パターン図である。本実施例の実施例6との相違点は、図27に示すようにレチクルの中がパターンA、B、Cの3つのパターンに3分割されている点である。それらのパターンの有する機能は、Aがメモリー機能を有するパターンが形成される部位であり、Bがマイコン機能を有するパターンが形成される部位であり、CがA/Dコンバーターを有するパターンが形成される部位である。本実施例では、図27に示すレチクルを用い、パターンA、B、Cを図28に示すようにつなぎあわせ、A-B、C-Aというつなぎ合わされたパターンで、メモリー+A/Dコンバーター+マイコン機能を有するパターンを形成し、A-B、C-Aの構成1chipとして使用可能にした例である。これにより、メモリー+A/Dコンバーター+マイコンという3つの機能を有するICが、20mm(X方向)×30mm(Y方向)のチップサイズで形成可能となった。また、デザインルールは、実施例6と同様0.8 μ mルールで形成した。

【実施例9】次に、実施例9について、図29、図30を用いて説明する。図29(a)、(b)は、本発明の

実施例9における半導体製造方法のファーストレイヤーを形成するためのレチクルを説明するための模式的パターン図であり、図30は実施例9を示すファーストレイヤーの模式的パターン図である。実施例7、8との相違点は、図29(a)、(b)に示すように、1つのレイヤーについて、レチクルを2枚使用して、パターンを形成することである。本実施例では、図29(a)に示すレチクル651のパターンA(652)が、メモリ機能のためのパターンであり、図29(b)に示すレチクル651のパターンB(653)が、A/Dコンバーター機能のためのパターンである。図30に示すパターンを形成するには、縮小投影型露光装置の有するレチクル交換装置を使用し、図29(a)に示すレチクル651を用いて、ファーストレイヤーを露光した後、図29(b)に示すレチクル651を、レチクル交換装置を用いて、自動的にレチクルステージに挿入し、レチクルのアライメントを行ない、露光し、図30に示すファーストレイヤーを形成した。尚、図29(a)、(b)において、654はウェハー上に形成されたアライメントマーク、655は装置本体に対してレチクルをアライメントするためのアライメントマークである。

【0094】又、図30において、661はウェハー、662は形成されたパターンA、663は形成されたパターンB、664、664'、664"は夫々アライメントマークであり、図29(a)に示されるアライメントマーク654に対応して形成される。666はつなぎ合わせ部分である。本実施例においても、パターン(A)とパターン(B)とのつなぎ合わせ精度は、0.1~0.2μm程度である。1レイヤーに対して、メモリ機能を有するレチクルとA/Dコンバーター機能を有するレチクル2枚を使用して露光することにより、20mm(X方向)×40mm(Y方向)のチップサイズを有するICが形成可能となった。また、デザインルールは、実施例1と同様0.8μmルールで形成した。

【実施例10】次に、縮小投影露光装置と反射投影型露光装置とを併用して半導体装置を製造した実施例10について説明する。半導体装置の製造工程において、高い解像度、高いアライメント精度を露光装置に要求する工程と、これに比較して低い解像度、低いアライメント精度で充分な工程とがある場合も多い。しかしながら、それ程の解像度やアライメント精度を必要としない場合もある。また、上述した実施例のようにつなぎパターンを必要としないような狭い領域のパターニングを行なう場合もある。そこで、本実施例では高解像度、高アライメント精度でチップサイズの大きな半導体装置を形成する場合は上記した各実施例の如くのパターンつなぎを必要に応じて行ない、それ以外の部分を反射投影露光装置を用いることで半導体装置の製造におけるスループットを向上させ、製造コストの大幅削減を可能にした。

【0095】本発明における半導体装置の製造方法にお

いて前記縮小投影露光装置のスループットと反射投影露光装置のスループットはたとえば以下の通りであった。即ち、縮小投影露光装置は3パターンをつなぐ場合、スループットは22枚/時間であった。これに対し、反射型投影露光装置は80枚/時間であった。これから、前述のつなぎ露光を含む、半導体装置の製造方法において、パターンニング時におけるスループットが大幅に向上することが可能となった。

【0096】次に、本実施例の製造方法を順をおって説明する。まず、図32に示す第1のレチクル1101を通常用いられる倍率5:1の縮小投影型露光装置にセットし、ウェハー1001に図31に示すつなぎ合わされたパターンを焼き付けた。また、図32に示すマーク1003は、縮小投影型露光装置におけるアライメントマークであり、図31に示すように、露光された後、ウェハー上では、つなぎ合わされた各パターンA、B、Cの両側に形成され、以降の縮小投影型露光装置で露光を行なうためのアライメントマーク(親マーク)1002となる。また、図32に示すマーク1103は、反射投影露光装置におけるアライメントマークであり、図31に示すように、ウェハー上の左右2点に形成され、以降の反射投影露光装置で露光を行なうためのアライメントマーク(親マーク102)となる。また、ファーストレイヤーを焼き付ける際、第1のレチクル1101は、縮小投影型露光装置のマスキングブレードの位置を各ショット(パターンA、B、C)ごとにかえることにより、パターンAの部分の焼きつけるときにはパターンB、Cの部分、及び、反射投影露光装置で使用するアライメントマークの部分はブレードにより遮光すれば良い。反射投影露光装置で使用するアライメントマークを焼きつける場合は図32に示すマーク1103の部分までブレードを開け、焼きつけることによりセカンドレイヤー以降のアライメントマークを形成すればよい。なお、反射投影型露光装置で用いるアライメントマークは縮小投影型露光装置で用いるアライメントマークよりも大型であることが多い。このため、反射投影型露光装置用のマークをファーストレイヤーのレチクルとは異なる別のレチクルを用いて焼きつけることも可能である。又、マークの形状を工夫すれば共用することも可能である。

【0097】次に、セカンドレイヤーを形成する際には、図33に示す反射投影型露光装置用のマスクを使用し、ファーストレイヤーで形成された親マークであるアライメントマーク1102を子マーク1104に合わせる。ここで、実施例1、2と相違する点は反射投影型露光装置により、ウェハー上の左右2点に形成されたアライメントマークによりアライメントしつつパターンを焼きつける点である。次に、実施例1と同様に縮小投影型露光装置によりパターンを焼き付けることによりパターンニングを行なう。

【0098】以上示したように、パターンニングを繰り返

すことで半導体装置を形成する。これにより、3.5mm×60mmのチップサイズをもつICが、0.8μmルールで形成可能となった。また、本実施例においては反射投影型露光装置を用いたが、近接露光及び密着露光装置を代わりに使用しても問題はない。近接露光及び密着露光装置の好適な例を図34に示す。

【0099】

【発明の効果】以上説明したように本発明は、縮小露光装置を用いて回路パターンを同一半導体基板上につなぎ合わせて焼き付けることにより下記の効果がある。

【0100】1. 縮小投影型露光装置のもつフィールドサイズ以上の大きなICチップが得られる。

【0101】2. 前記ICチップ内に形成されたパターンは、サブミクロンルールで形成でき、さらに、ICチップ形成時の工程間のアライメント精度は $3\sigma=0.2\mu\text{m}$ 以下におさえられる。

【0102】3. 大面積かつ高集積ICを、コストが現状よりもアップすることなく製造が可能である。

【0103】又、回路パターンは順次つなぎ合わされて焼き付けられるので、焼き付け工程数に比例してパターン面積は大きくなり、縮小投影型露光装置のフィールドサイズに制限されない。

【0104】更に、オーバーラップ領域を設けることで、多少のパターンの連結の不一致が生じて、パターンの切断や分離不能などの不良を低減させることが可能である。

【0105】また、従来複数個のICの組み合わせを1つのICとして作製することができ、コストの低減をはかることができるばかりか、製造されたICの信頼性を向上することができる。

【0106】さらに、パターンの連結部分を素子分離領域や非素子形成領域にすることで、半導体装置の特性の悪化や歩留りの低下を防ぐことができる。

【0107】また、必要に応じて露光方法を選択することでスループットを向上させ、コストの低減をはかることができる。

【図面の簡単な説明】

【図1】反射型投影露光装置の一例を説明するための模式的斜視構成図。

【図2】縮小投影型露光装置の一例を説明するための模式的斜視構成図。

【図3】本発明の実施例で説明されるウェハー上のファーストレイヤーの模式的パターン図。

【図4】本発明の実施例で説明されるレチクル（マスク）の模式的パターン図。

【図5】本発明の実施例で説明されるレチクル（マスク）の模式的パターン図。

【図6】本発明の実施例で説明されるウェハー上のファーストレイヤーの模式的パターン図。

【図7】本発明の実施例で説明されるウェハー上のファ

ーストレイヤーの模式的パターン図。

【図8】本発明の実施例で説明されるレチクル（マスク）の模式的パターン図。

【図9】本発明の実施例で説明されるレチクル（マスク）の模式的パターン図。

【図10】本発明の実施例で説明されるウェハー上のファーストレイヤーの模式的パターン図。

【図11】本発明の実施例で説明されるウェハー上のファーストレイヤーの模式的パターン図。

10 【図12】（a）、（b）は本発明の実施例で説明されるレチクルの模式的パターン図。

（c）は該レチクルによって形成される模式的パターン図。

【図13】露光量と線幅との関係を説明するためのグラフ。

【図14】光電変換セルの一例の模式的平面図。

【図15】図14のB-B'線部分で光電変換セルを切断した場合の模式的切断断面図。

20 【図16】（A）は本発明の実施例光電変換セルの概略的回路図。

（B）はタイミング図。

【図17】光電変換装置の回路図。

【図18】本発明の実施例による半導体装置の製造方法を説明するための工程図。

【図19】本発明の実施例のDRAMの模式的平面図。

【図20】（a）は図19のDRAMの回路図。

（b）はDRAMを有する半導体装置のブロック構成図。

30 【図21】図19のC-C'線で切断した場合の模式的切断断面図。

【図22】本発明の実施例による半導体装置の製造方法を説明するための工程図。

【図23】本発明の実施例で説明されるレチクル（マスク）の模式的パターン図。

【図24】本発明の実施例で説明されるウェハー上のファーストレイヤーの模式的パターン図。

【図25】本発明の実施例で説明されるレチクル（マスク）の模式的パターン図。

40 【図26】本発明の実施例を説明するための模式的パターン図。

【図27】本発明の実施例で説明されるレチクル（マスク）の模式的パターン図。

【図28】本発明の実施例で説明されるウェハー上のファーストレイヤーの模式的パターン図。

【図29】（a）、（b）は本発明の実施例で説明されるレチクル（マスク）の模式的パターン図。

【図30】本発明の実施例で説明されるウェハー上のファーストレイヤーの模式的パターン図。

50 【図31】本発明の実施例で説明されるウェハー上のファーストレイヤーの模式的パターン図。

21

22

【図32】本発明の実施例で説明されるレチクル（マスク）の模式的パターン図。

【図33】本発明の実施例で説明されるレチクル（マスク）の模式的パターン図。

【図34】実施例に好適な近接露光及び密着露光装置を示す図。

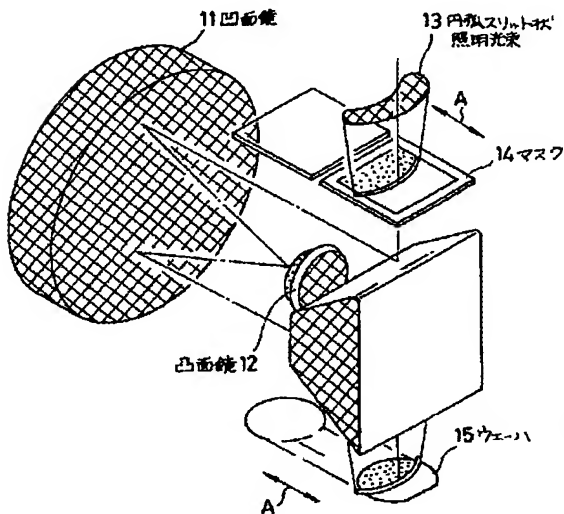
【符号の説明】

- 11 凹面鏡
12 凸面鏡
13 照明光束
14 マスク
15 ウェーハ

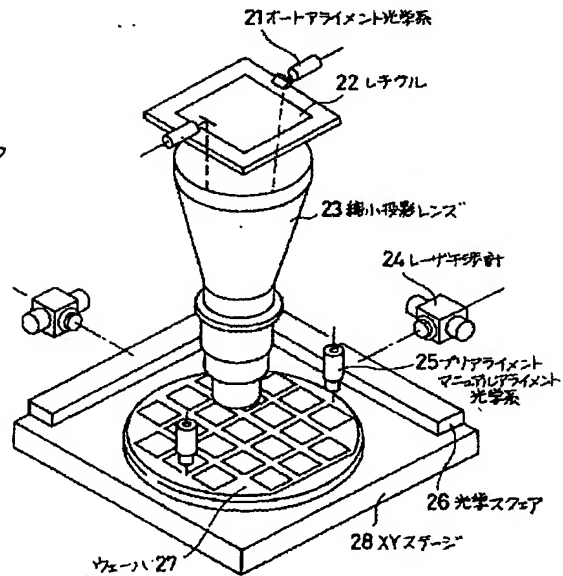
- 14 マスク
15, 27 ウェーハ
21 オートアライメント光学系
22 レチクル
28 XYステージ
101 半導体基板（ウェーハ）
102, 103, 104 アライメントマーク
105 第1のレチクル
106 第2のレチクル

10

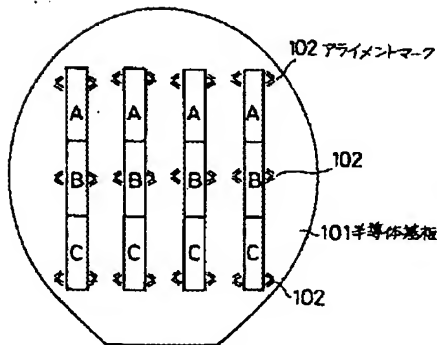
【図1】



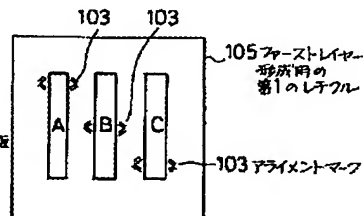
【図2】



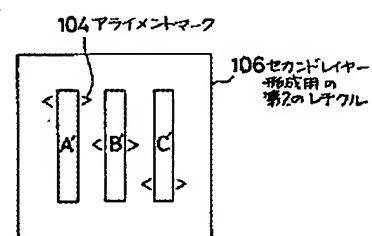
【図3】



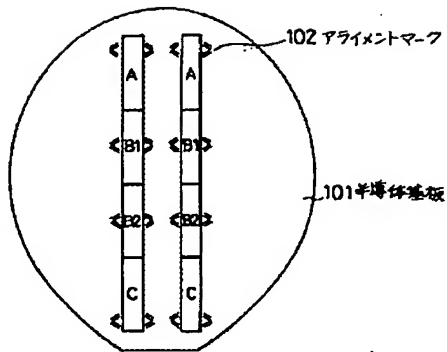
【図4】



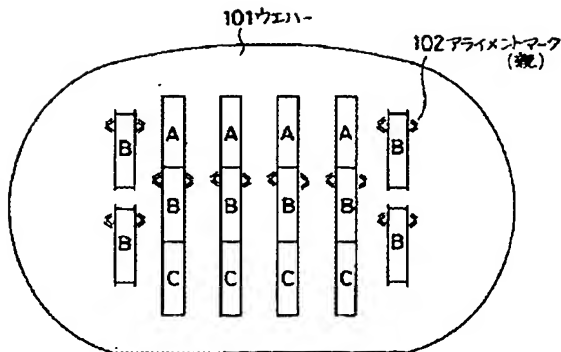
【図5】



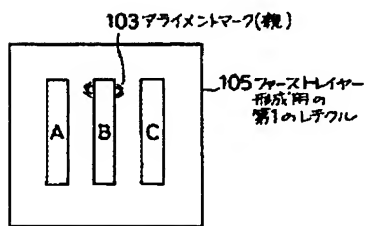
【図6】



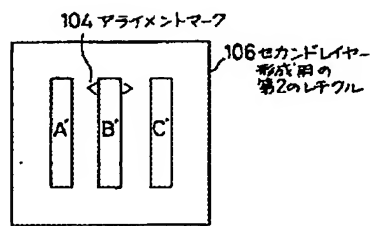
【図7】



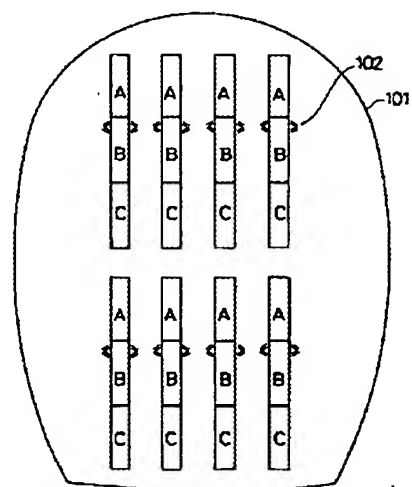
【図8】



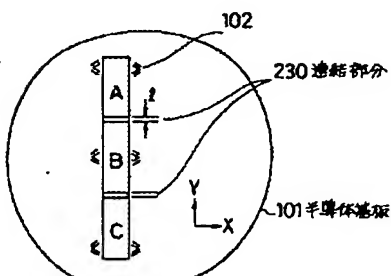
【図9】



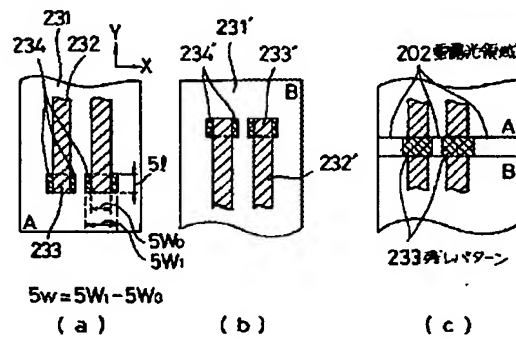
【図10】



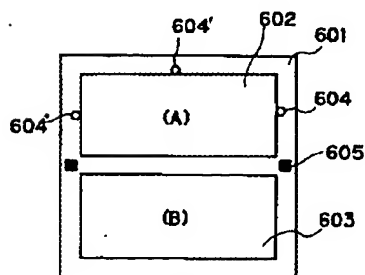
【図11】



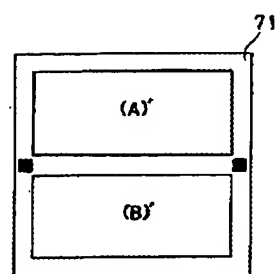
【図12】



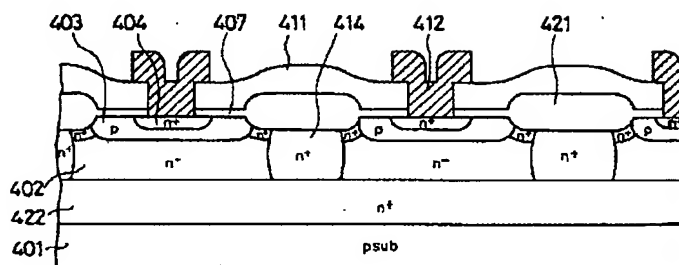
【図23】



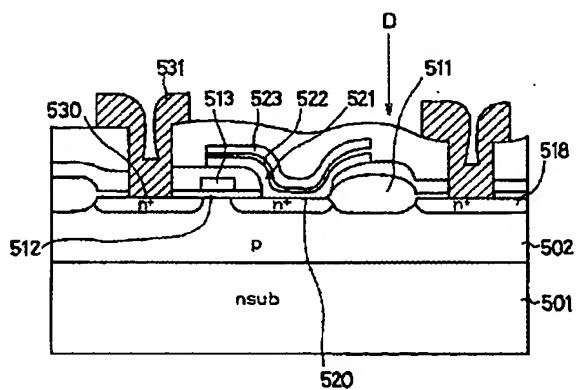
【图 25】



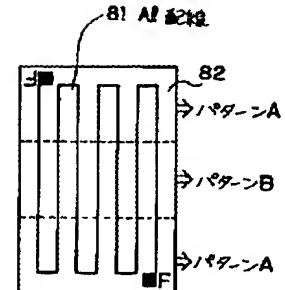
【図 15】



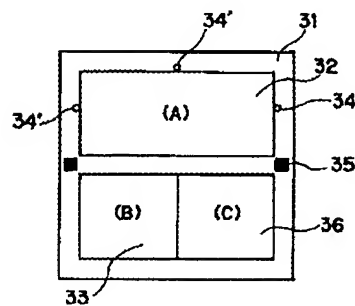
【圖 2 1】



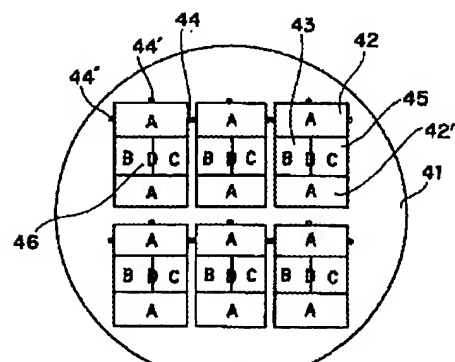
【例 26】



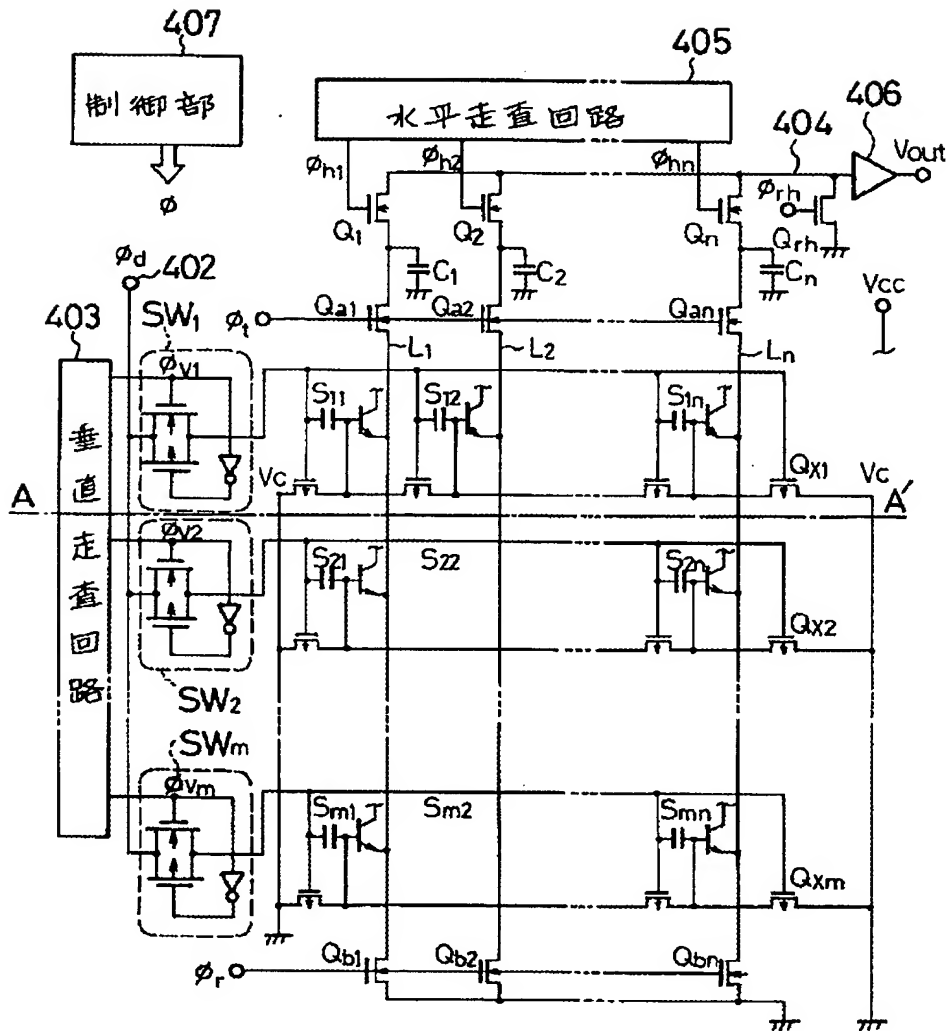
【图 27】



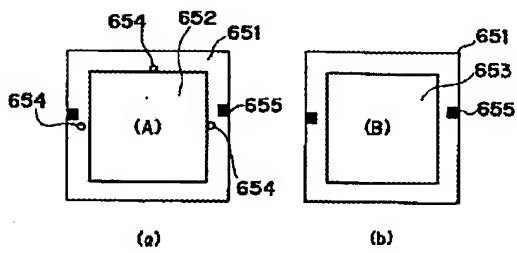
【图 28】



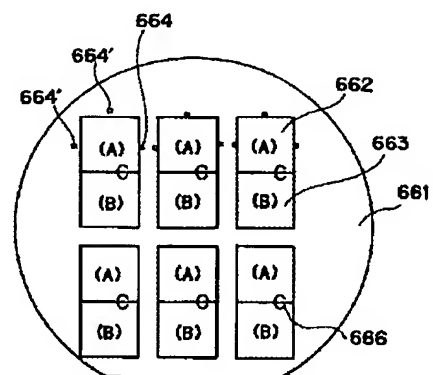
【図17】



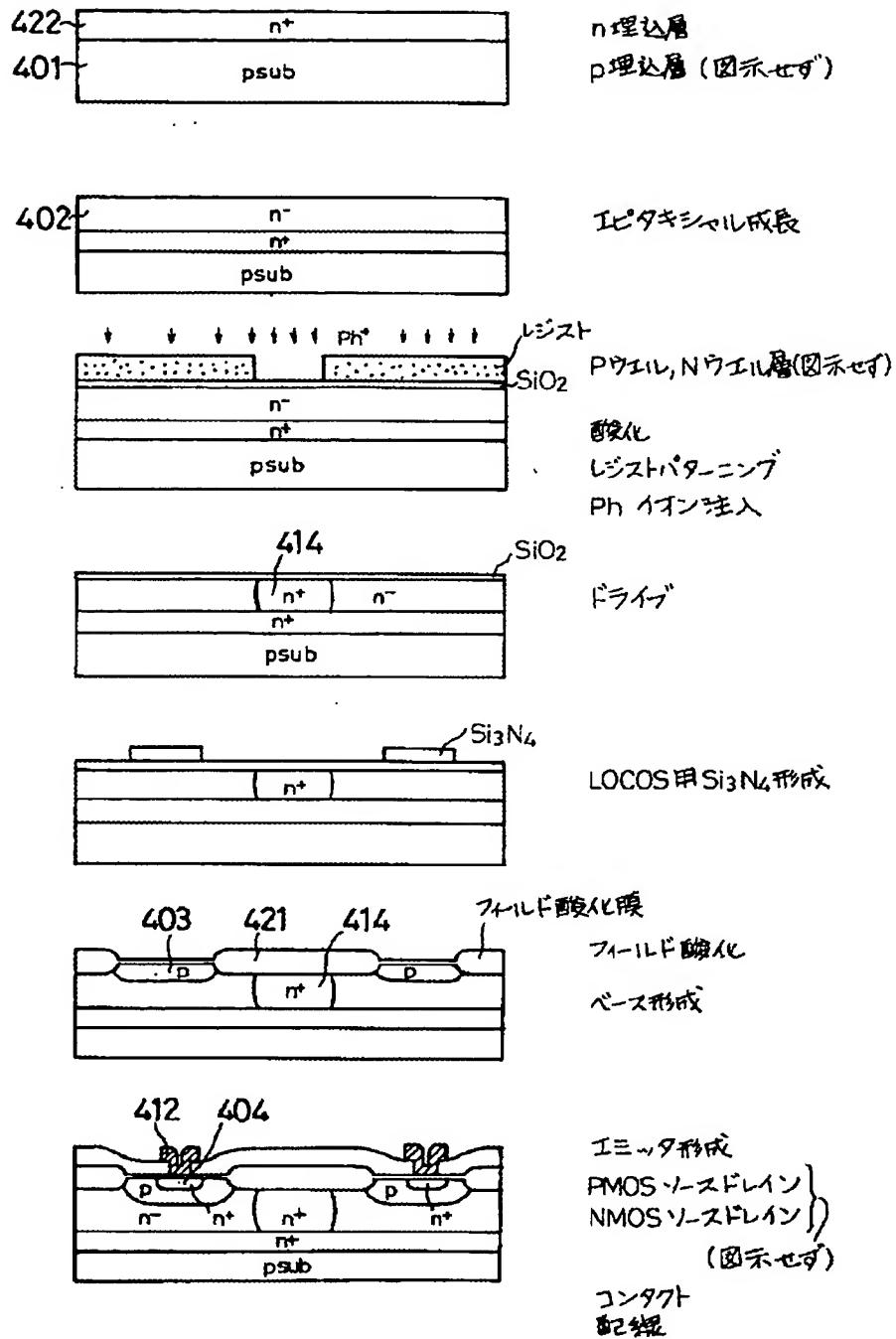
【図29】



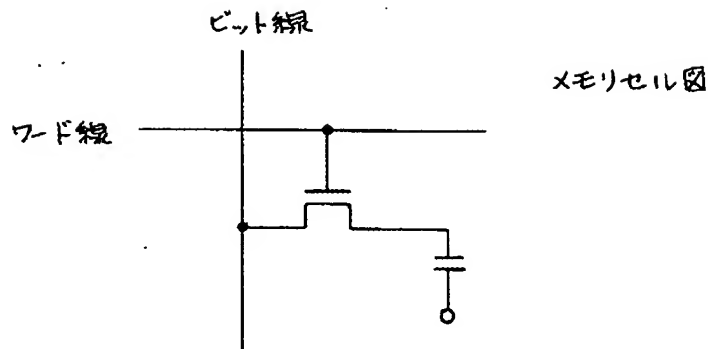
【図30】



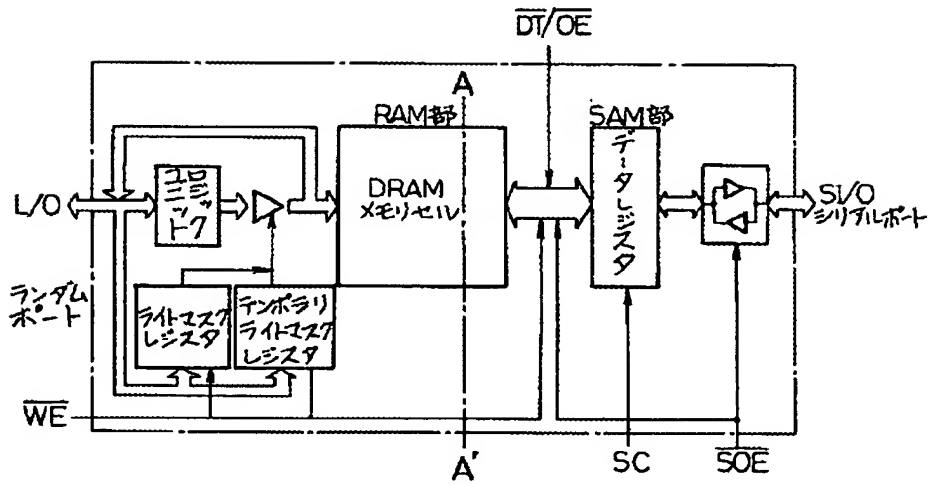
【図18】



【図20】

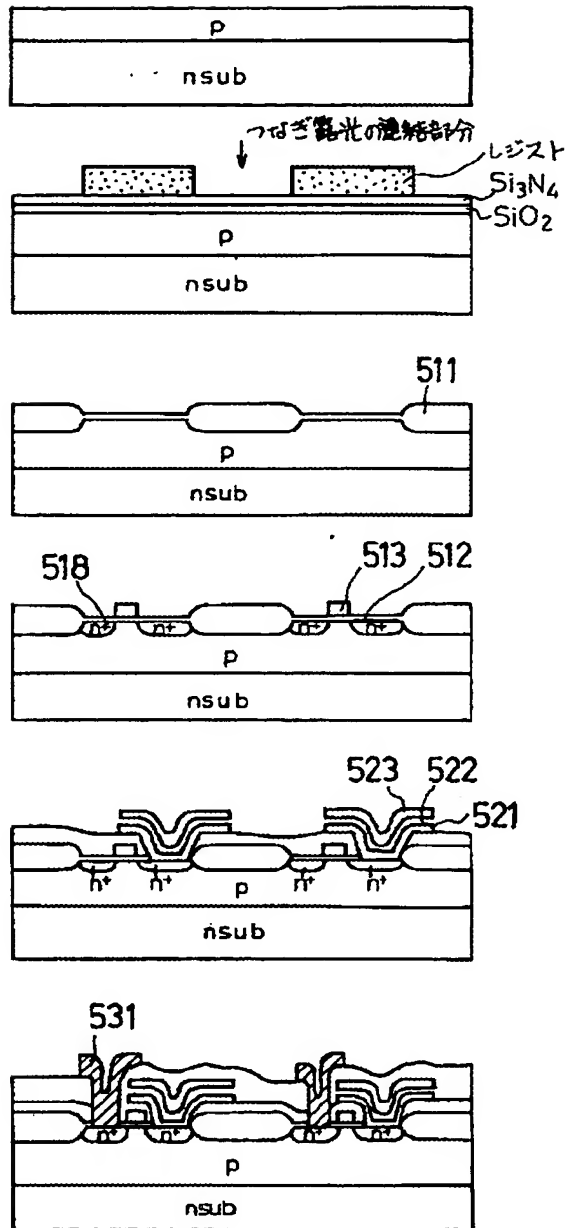


(a)



(b)

【図22】



pウェル形成

酸化

Si₃N₄形成

レジストパターニング

Si₃N₄エッチング

フィールド酸化

Si₃N₄はくり

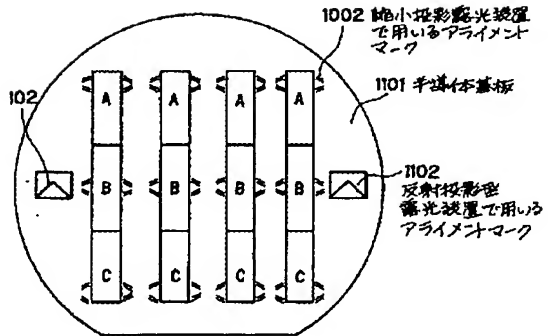
ゲート酸化

poly 1ゲート電極
形成

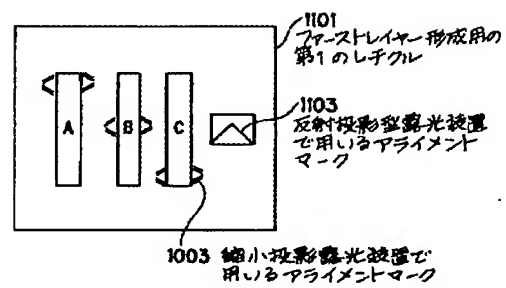
ソース、ドレイン形成

絶縁層形成
poly 2下部電極
形成絶縁層形成
poly 3上部電極
形成絶縁層形成
Al配線

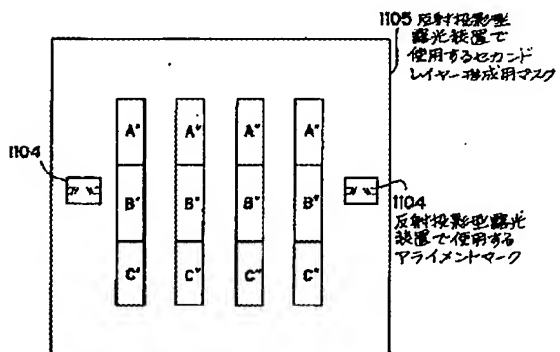
【図31】



【図32】



【図33】



【図34】

